

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012568

(43)Date of publication of application : 16.01.1998

(51)Int.Cl. H01L 21/28
 H01L 21/3205
 H01L 21/768
 H01L 29/78
 H01L 21/336

(21)Application number : 08-163294

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.06.1996

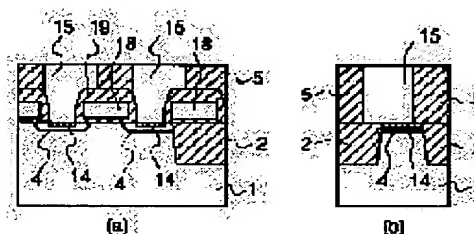
(72)Inventor : OYU SHIZUNORI
 KAWAMOTO YOSHIFUMI
 KOBAYASHI NOBUYOSHI
 FUKADA SHINICHI
 FUKUDA TAKUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide shaving of an element-isolating insulation film due to poor alignment in the photolithography or dry over-etching and p-n junction leak.

SOLUTION: A silicide layer 14 is formed on the surface of a diffused layer 4 defined by a p-n junction in a region surrounded by an element-isolating insulation film 2. A conductive film 15 is formed on the silicide layer 14 and surrounded by an inter-electrode insulation film 5 formed after forming that film 15. The upper surfaces of both films 15 and 5 are flattened. This simplifies required steps for electric connection to the region defined by the p-n junction, thereby obtaining a semiconductor device having a high reliability with reduced p-n junction leak.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12568

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1		H 0 1 L 21/28	3 0 1 S
21/3205			21/88	Q
21/768			21/90	D
29/78			29/78	3 0 1 Y
21/336				

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願平8-163294

(22) 出願日 平成8年(1996) 6月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大湯 静憲

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 川本 佳史

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 小林 伸好

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 高橋 明夫

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

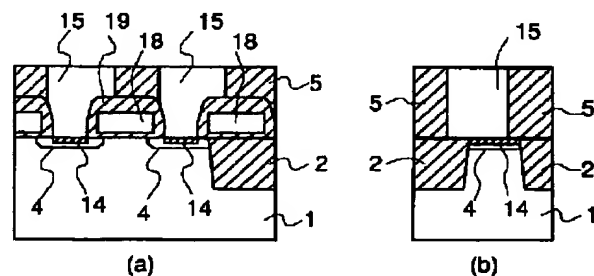
(57) 【要約】

【課題】 ホトリソグラフィーの合わせずれやドライエッチングのオーバーエッチングによる素子分離用絶縁膜の削れ、およびpn接合リークの発生を防止する。

【解決手段】 素子分離用の絶縁膜2に囲まれた領域内の、pn接合によって規定された拡散層4の表面にシリサイド層14を形成し、このシリサイド層14上に形成された導電体膜15を、この導電体膜15を形成した後に形成された電極間絶縁膜5によって包囲するとともに、これら導電体膜15と電極間絶縁膜5の上面を平坦にする。

【効果】 pn接合によって規定された領域への電気的接続に必要な工程は簡便になり、かつ、pn接合リークの少ない信頼性の高い半導体装置が得られる。

図4



【特許請求の範囲】

【請求項1】第1導電型を有する半導体基板に形成された素子分離用絶縁膜と、当該素子分離用絶縁膜によって包囲された領域内に形成された上記第1導電型とは逆の第2導電型を有する拡散層と、当該拡散層の表面に形成された金属膜、金属シリサイド層若しくは金属膜とシリサイド層の積層膜と、当該金属膜、金属シリサイド層若しくは金属膜とシリサイド層の積層膜上に形成された導電体膜と、当該導電体膜を包囲して形成された電極間絶縁膜を少なくとも具備し、上記導電体膜の一部は上記素子分離用絶縁膜上に形成されていることを特徴とする半導体装置。

【請求項2】上記電極間絶縁膜の上面と上記導電体膜の上面は、実質的に平坦であることを特徴とする請求項1に記載の半導体装置。

【請求項3】上記導電体膜は、不純物がドーパされた多結晶シリコンからなる膜であることを特徴とする請求項1若しくは2に記載の半導体装置。

【請求項4】上記金属膜は高融点金属膜、アルミニウム膜および銅膜からなる群から選択され、上記金属シリサイド層は、コバルトシリサイド層、ニッケルシリサイド層およびチタンシリサイド層からなる群から選択されることを特徴とする請求項1から3のいずれかに記載の半導体装置。

【請求項5】上記導電体膜の表面には第2の金属シリサイド膜が形成されていることを特徴とする請求項2から4のいずれかに記載の半導体装置。

【請求項6】上記第2の金属シリサイド膜および上記電極間絶縁膜上には第2の導電体膜および第2の電極間絶縁膜がそれぞれ形成されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】上記第2の導電体膜および第2の電極間絶縁膜上には、電荷集積電極、キャパシタ絶縁膜およびプレート電極が積層して形成されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】第1導電型を有する半導体基板の所定部分に素子分離用絶縁膜を形成する工程と、上記半導体基板の当該素子分離用絶縁膜によって包囲された領域の表面領域に上記第1導電型とは逆の第2導電型を有する拡散層を形成する工程と、当該拡散層の表面に金属シリサイド層を形成する工程と、当該金属シリサイド層の上に所定の形状を有する導電体膜を形成する工程と、上記導電体膜を包囲する電極間絶縁膜を形成する工程を、少なくとも含むことを特徴とする半導体装置の製造方法。

【請求項9】上記導電体膜は不純物がドーパされた多結晶シリコン膜からなることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】上記金属シリサイド層を形成する工程は、所定の金属膜を全面に形成した後、熱処理を行って上記拡散層の表面上に形成された上記金属膜を金属シリ

サイド膜とし、未反応の上記金属膜をエッチして除去することによって行われることを特徴とする請求項8若しくは9に記載の半導体装置の製造方法。

【請求項11】上記導電体膜の一部は上記素子分離用絶縁膜上に形成されることを特徴とする請求項8から10のいずれかに記載の半導体装置の製造方法。

【請求項12】上記電極間絶縁膜を形成する工程の後に、上記導電体膜と上記電極間絶縁膜の上面を平坦化する工程が付加されることを特徴とする請求項8から11のいずれかに記載の半導体装置の製造方法。

【請求項13】上記電極間絶縁膜の上面を平坦化する工程の後に、上記導電体膜の表面に第2の金属シリサイド膜を形成する工程が付加されることを特徴とする請求項8から12のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、詳しくは、pn接合の漏洩電流および動作時における消費電力が少ない半導体装置、およびこのような半導体装置を、簡便な工程で容易に製造することができる半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、例えば特公平1-35505号には、絶縁膜によって素子分離された領域内に形成された、pn接合によって包囲された部分への電気的接続を行なうために、電極間絶縁膜を全面に堆積した後、通常のホトリソグラフィー法およびドライエッチング法を用いて、この電極間絶縁膜の所定部分にコンタクト孔を形成し、さらに導電体膜を全面に形成した後、通常のホトリソグラフィー法およびドライエッチング法を用いて所定の形状に加工して、電極・配線を形成する方法が記載されている。

【0003】また、特開昭57-145340号には、コンタクト孔を同様な方法で形成した後、コンタクト孔内のみに電極・配線用の導電体を選択的に埋め込み、さらに電極・配線用の導電体膜を全面に形成した後、上記方法と同様に、通常のホトリソグラフィー法およびドライエッチング法を用いて所定の形状に加工して、電極・配線を形成する方法が記載されている。

【0004】さらに、特開平5-226480号には、コンタクト孔を同様な方法で形成した後、コンタクト孔を含む全面に電極・配線用の導電体を堆積し、表面の平坦化を行なってコンタクト孔内のみに上記導電体を残してコンタクト孔を埋め込み、さらに電極・配線用の導電体を全面に堆積した後、上記方法と同様な方法を用いて所定の形状に加工して電極・配線を形成する方法が記載されている。

【0005】

【発明が解決しようとする課題】上記従来技術では、図

1に示したように、半導体基板1の主表面に形成され絶縁膜2によって素子分離された、MOSFET3のソース・ドレイン4との電氣的接続を行なうために、ホトリソグラフィ技術を用いて、電極間絶縁膜5にコンタクト孔6、7を形成し、さらに、電極・配線9を形成していた。この場合、上記ホトリソグラフィにおける位置合わせのずれによって、コンタクト孔7の位置が所定の位置からずれて、素子分離用絶縁膜2上に達し、上記ドライエッチングの際におけるオーバーエッチングによって、素子分離用絶縁膜2の端部がエッチされて削れてしまうという問題があった。

【0006】このように素子分離用絶縁膜2の端部がエッチされて削れてしまうのは、電極間絶縁膜5と素子分離用絶縁膜2が、同様の種類の絶縁物からなる絶縁膜であるためであり、しかも、ゲート電極8の部分等の段差部においても、コンタクト孔が完全に開口されるように、電極間絶縁膜5の膜厚以上のオーバーエッチングが行われるためである。

【0007】素子分離用絶縁膜2の端部の削れが、ソース・ドレイン4のpn接合に達すると、電極・配線9が半導体基板1に接してしまい、pn接合リークが発生してしまう。また、上記素子分離用絶縁膜2の削れがpn接合に達しない場合でも、pn接合が逆バイアスされた時に生ずる空乏層10が、電極・配線9に接すると、pn接合リークが増加してしまう。

【0008】本発明の目的は、上記従来技術の問題を解決し、上記ホトリソグラフィにおける合わせずれやドライエッチングのオーバーエッチングによって、素子分離用の絶縁膜2の端部の削れ、およびこの削れによるpn接合リークが発生する恐れがない、半導体装置およびその製造方法を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するための本発明の半導体装置は、第1導電型を有する半導体基板に形成された素子分離用絶縁膜と、当該素子分離用絶縁膜によって包囲された領域内に形成された上記第1導電型とは逆の第2導電型を有する拡散層と、当該拡散層の表面に形成された金属膜、金属シリサイド層若しくは金属膜とシリサイド層の積層膜と、当該金属膜、金属シリサイド層若しくは金属膜とシリサイド層の積層膜上に形成された導電体膜と、当該導電体膜を包囲して形成された電極間絶縁膜を少なくとも具備し、上記導電体膜の一部は上記素子分離用絶縁膜上に形成されていることを特徴とする。

【0010】すなわち、本発明の半導体装置では、例えばMOSFETのソース・ドレインである上記拡散層の表面に金属シリサイド層が形成されており、この金属シリサイド層上に形成された導電体膜の一部は上記素子分離用絶縁膜上に形成されており、上記素子分離用絶縁膜の端部は削られていない。そのため、上記素子分離用絶

縁膜の端部の削れによって生ずるpn接合リークなどの障害が発生する恐れはない。

【0011】図面を用いてさらに詳しく説明する。通常の素子分離用絶縁膜に囲まれたMOSFETの場合、pn接合によって規定された領域（ソース・ドレイン拡散層）と、この領域への電氣的接続を行なうための、電極間絶縁膜に囲まれた導電体膜（電極・配線）との平面的な位置関係は、図2に示したようになる。図2において、線11で囲まれた部分は、MOSFETのソース・ドレイン拡散層およびチャネルとなる部分であり、このうち、チャネルとなる部分は、ゲート電極12の下方の部分である。また、ソース・ドレイン拡散層への電氣的接続を行なうための導電体膜は、電極間絶縁膜に囲まれており、図2では、線13で囲まれた部分である。

【0012】上記合わせずれが生じない場合における、図2のa-a断面およびb-b断面を、それぞれ図3(a)および図3(b)に示した。ホトリソグラフィ法において合わせずれが生じない場合、p型の半導体基板1の、絶縁膜2によって素子分離された領域内に形成されたn型層（ソース・ドレイン）4の表面の一部（図3(a)）あるいは全面（図3(b)）に、コバルトシリサイド膜に代表される金属シリサイド膜14が形成されており、上記シリサイド膜14の表面上には、多結晶シリコン膜に代表される導電体膜15が形成されている。

【0013】上記合わせずれが生じた場合における、上記図2のa-a断面およびb-b断面を、図4(a)および図4(b)に示した。この場合も、上記図3に示した上記合わせずれがない場合と同様に、絶縁膜2で素子分離されたn型層4の表面の一部あるいは全面に上記金属シリサイド膜14が形成され、上記金属シリサイド膜14上のみ、あるいは上記素子分離のための絶縁膜2上および上記金属シリサイド膜14上に、導電体膜15が同様に形成されている。

【0014】導電体膜15（例えば不純物がドーパされた多結晶シリコン）と素子間分離用の絶縁膜5（SiO₂膜）は、ドライエッチングにおけるエッチング速度が著しく異なるので、上記いずれの場合においても、導電体膜15を形成する際に素子間分離用の絶縁膜2の端部を削ることなしに、所望の形状を有する電極配線を形成できる。この場合、拡散層4の材質もシリコンであるため、導電体膜15を形成するためのホトエッチングの際に、拡散層4もエッチされてしまう恐れがあるが、本発明では、拡散層4の表面に、導電体膜14よりエッチング速度がはるかに小さい金属シリサイド層14が形成されているため、拡散層4がエッチされてしまう恐れはない。

【0015】上記電極間絶縁膜の上面と上記導電体膜の上面を、実質的に平坦とすることができる。すなわち、図3(a)、(b)に示したように、上記導電体膜15

が電極間絶縁膜5に囲まれた構造として、上記導電体膜15と電極間絶縁膜5の表面を平坦にすれば、配線やキャパシタの形成など、後の工程に都合がよい。

【0016】上記のように、上記導電体膜としては、不純物がドーパされた多結晶シリコンからなる膜を用いることができ、上記素子間分離用絶縁膜2および金属シリサイド層14とのエッチング比が極めて大きいので、好ましい結果が得られる。

【0017】上記金属膜は各種高融点金属膜を使用することができ、例えばモリブデン膜、タングステン膜等、各種高融点金属膜、アルミニウム膜および銅膜からなる群から選択される。上記金属シリサイド層は、各種高融点金属のシリサイド層を使用することができ、例えばコバルトシリサイド、ニッケルシリサイドおよびチタンシリサイドからなる群から選択された材料からなる層を使用できる。

【0018】上記導電体膜の表面には第2の金属シリサイド膜を形成することができ、この上記第2の金属シリサイド膜および上記電極間絶縁膜5上には第2の導電体膜および第2の電極間絶縁膜を形成できる。すなわち、図5に示したように、上記導電体膜15の表面の一部あるいは全てに、上記と同様の第2の金属シリサイド膜16を形成し、この第2の金属シリサイド膜16上のみあるいは電極間絶縁のための絶縁膜5上および金属シリサイド膜16上に第2の導電体膜17を形成し、この第2の導電体膜17が電極間絶縁膜18によって囲まれた積層構造とすることができる。

【0019】上記第2の導電体膜および第2の電極間絶縁膜上に、電荷蓄積電極、キャパシタ絶縁膜およびプレート電極を4積層して形成し、MOSFETの上にキャパシタが積層されたメモリを形成できる。

【0020】上記本発明の半導体装置を製造する方法は、第1導電型を有する半導体基板の所定部分に素子分離用絶縁膜を形成する工程と、上記半導体基板の当該素子分離用絶縁膜によって包囲された領域の表面領域に上記第1導電型とは逆の第2導電型を有する拡散層を形成する工程と、当該拡散層の表面に金属シリサイド層を形成する工程と、当該金属シリサイド層上に所定の形状を有する導電体膜を形成する工程と、当該導電体膜を包囲する電極間絶縁膜を形成する工程を、少なくとも含むことを特徴とする。

【0021】すなわち、MOS・FETのソース・ドレインであるn型層4の表面に金属シリサイド層14を形成し、その上に導電体膜15を形成した後に素子分離用絶縁膜2が形成される。上記のように、導電体膜15を構成する多結晶シリコンなどのエッチング速度は、金属シリサイドおよびSi酸化物のエッチング速度とは著しく異なる。そのため、導電体膜(多結晶シリコン膜)15を形成する際におけるホットエッチングによって、金属シリサイド層14や素子分離用絶縁膜2がエッチされる

ことはなく、オーバーエッチングを行っても、上記素子分離用絶縁膜2の端部が削られたり、拡散層4がエッチされてしまう恐れはない。しかも、電極間絶縁膜5は、導電体膜15を形成した後に導電体膜15を包囲して形成され、ホトリソグラフィは行われないので、電極間絶縁膜5の形成の際に、上記素子分離用絶縁膜2の端部が削られてしまう恐れもない。

【0022】上記のように、上記導電体膜として不純物がドーパされた多結晶シリコン膜を用いれば、極めて好ましい結果が得られる。

【0023】さらに、上記金属シリサイド層を形成する工程は、所定の金属膜を全面に形成した後、熱処理を行って上記拡散層の表面上に形成された上記金属膜を金属シリサイド膜とし、未反応の上記金属膜をエッチして除去することによって行うことができる。

【0024】すなわち、コバルトなどの金属膜を全面に形成した後、熱処理を行って拡散層の露出された表面のみにおいてシリサイド反応を行なって金属シリサイド膜を形成し、それ以外の絶縁膜2、19上の未反応の金属膜を除去する。これによって、拡散層4の露出された表面のみにシリサイド膜14を選択的に形成できる。

【0025】上記導電体膜をホットエッチングによって所定の形状に加工する際に、合わせずれが生ずると、導電体膜の一部は上記素子分離用絶縁膜上に形成される。

【0026】上記電極間絶縁膜を形成する工程の後に、上記導電体膜と上記電極間絶縁膜の上面を平坦化する工程を付加することができる。

【0027】すなわち、ホットエッチングによって導電体膜15を所定の形状に加工した後、電極間絶縁膜5を全面に形成し、例えば通常の研磨法など周知の手段を用いて、上記電極間絶縁膜5のみあるいは上記電極間絶縁膜5と導電体15の両者の上面を平坦化するこのようにすれば、キャパシタの形成など、後に行われる工程のために都合がよい。

【0028】さらに、上記電極間絶縁膜の上面を平坦化する工程の後に、上記導電体膜の表面に第2の金属シリサイド膜を形成する工程を付加することができる。このようにすることにより、第2の導電体膜および第2の電極間絶縁膜を、まったく同様にして上方に積層することができる。

【0029】

【発明の実施の形態】上記シリサイド層としては、上記のように、たとえばコバルトシリサイド層やチタンシリサイド層など、各種金属のシリサイド層を使用できる。これらのシリサイド層の膜厚は5~200nmとするのが好ましい。5nmより薄いと拡散層の抵抗を低下させるのが困難であり、200nmより厚いと、拡散層がシリサイド化されてリーク電流が発生する恐れがあるので好ましくない。なお、金属膜の場合は、膜厚には特に制限はない。

【0030】また、上記シリサイド膜上に所定の形状を有する導電体膜を形成した後、電極間分離用の絶縁膜を全面に形成し、この絶縁膜の表面を平坦化して、上記導電体膜の表面を露出させれば、その後の工程でキャパシタなどを上部に形成するために好ましい。上記平坦化は、周知の塗布法によってホトレジストなど有機樹脂の膜を全面に形成した後に全面エッチングを行う方法、あるいは研磨法など周知の表面平坦化法を用いて行うことができる。

【0031】上記MOS・FETの上に形成されるキャパシタのキャパシタ絶縁膜としては、酸化シリコン膜や窒化シリコン膜を用いてもよいが、例えばTaO、BSTあるいはPZTなど、誘電率の大きい材料の膜を用いれば、さらに大きい容量が得られる。

【0032】

【実施例】

〈実施例1〉本発明の実施例を図6～図15を用いて説明する。

【0033】まず、図6および図7を用いて、DRAM素子のメモセルアレー部の構成および構造を説明する。MOSFETのソース・ドレインとチャネルが形成される領域は線20で囲まれた部分であり、メモセルアレーのワード線となるMOSFETのゲート電極を線21で囲まれた部分、また、メモセルアレーのビット線となる領域を線22で囲まれた部分で表す。図6のa-a断面、b-b断面およびc-c断面を、それぞれ図7(a)、図7(b)および図7(c)に示す。MOSFETは、p型のシリコン基板23の、絶縁膜24によって囲まれた領域内に形成されており、ソース・ドレインである拡散層25、ゲート絶縁膜26およびゲート電極27を有し、ゲート電極27は絶縁膜28で覆われている。拡散層25の露出された表面には、金属のシリサイド層29が形成され、このシリサイド層29の上には導電体膜30が形成されている。この導電体膜30は絶縁膜31によって包囲されている。

【0034】上記導電体膜30の表面上には、さらに金属のシリサイド層32が形成され、このシリサイド層32および絶縁膜28の表面上には、ビット線となる配線33が形成され、このビット線配線33の周辺は絶縁物34で覆われている。

【0035】導電体膜35は上記シリサイド層30、絶縁膜31、34の上に形成され、絶縁膜36によって包囲されている。電荷蓄積電極37は導電体35に接続され、電荷蓄積電極37および絶縁物36の表面上にはキャパシタ絶縁膜38とプレート電極39が形成されて、キャパシタが構成されている。

【0036】図7に示したメモセルは、下記のようにして形成した。まず、図8に示したように、アクセプタ濃度が $3 \times 10^{16} / \text{cm}^3$ のp型シリコン(Si)基板23に形成された、深さが $0.25 \mu\text{m}$ の溝内に絶縁膜

24を埋め込んで素子分離領域を形成した。上記溝は、周知のドライエッチングによって形成し、溝の側面および底面に厚さ 10 nm の熱酸化膜を形成した後、通常のCVD法によってSi酸化膜を 30 nm 堆積して、表面を平坦化した。

【0037】上記Si基板23に、深さ $0.4 \mu\text{m}$ 、最高アクセプタ濃度 $3 \times 10^{17} / \text{cm}^3$ 、分布広がり为标准偏差で $0.08 \mu\text{m}$ となるようにp型埋込導電層を形成した後、図9に示すように、膜厚 10 nm のSi酸化膜からなるゲート酸化膜26および膜厚 150 nm のn型多結晶Si膜からなるゲート電極27を形成した。

【0038】次に、表面濃度 $1 \times 10^{19} / \text{cm}^3$ 、深さ 100 nm の拡散層25をソース・ドレインとして形成した後、周知の方法を用いて厚さ 100 nm のSi酸化膜からなるサイドウォール28を形成した。

【0039】厚さ 10 nm のコバルト膜を形成し、 600°C 、 60 秒の熱処理を行って、拡散層25のろしゅつされた表面にシリサイド層を形成した後、Si酸化膜28、24上の未反応のコバルト膜を除去し、 700°C 、 30 秒の熱処理を行なってコバルトシリサイド層を低抵抗化し、拡散層25の露出された表面に膜厚 25 nm のコバルトシリサイド層29を形成した。

【0040】次に、図10に示したように、濃度 $1 \times 10^{20} / \text{cm}^3$ の磷がドーパされた膜厚 500 nm の多結晶Si膜30を形成した後、図11に示したように、通常のホトリソグラフィ法とHBrまたは Cl_2 をエッチングガスとして使用した反応性イオンエッチング法によって、多結晶Si膜30を所定の形状にパターニングした。この際、多結晶Si膜30とシリサイド層29および素子分離用のSi酸化膜24の間のエッチング速度は、著しく異なる。そのため、シリサイド層29および素子分離用のSi酸化膜24はほとんどエッチされず、その結果、拡散層25がエッチされないばかりでなく、Si酸化膜24の端部が削られてしまうこともなかった。

【0041】図12に示したように、膜厚 600 nm のSi酸化膜31を形成した後、図13に示したように、表面を平坦化した。この平坦化は、Si酸化膜31を膜厚 600 nm 分だけ除去して平坦化した後、Si基板23から 400 nm の高さまでSi酸化膜31および多結晶Si膜31を除去して平坦化することによって行なった。

【0042】図14に示したように、上記方法と同様に処理して、多結晶Si膜30の露出された表面のみに膜厚 25 nm のコバルトシリサイド層32を形成した後、ビット線電極33として、 $5 \times 10^{20} / \text{cm}^3$ のPがドーパされた厚さ 200 nm のタングステンシリサイド層33を形成し、所定の形状に加工した。

【0043】Si酸化膜からなるサイドウォール34をビット線電極33上に形成した後、図15に示したよう

に、図10～図13で示した方法と同様の工程により、高さ400nmのタングステン膜35がSi酸化膜36に埋め込まれた構造を作製した。

【0044】最後に、図7に示したように、膜厚100nmの窒化チタン膜からなる電荷蓄積電極37を形成して所定の形状に加工し、膜厚10nmの酸化タンタル膜からなるキャパシタ絶縁膜38および膜厚100nmの窒化チタン膜からなるプレート電極39を形成し、図7に示した構造を有するメモリセルを形成した。

【0045】本実施例によれば、素子分離用の絶縁膜24の削れが全く生じないので、n型拡散層25とp型基板23とで構成されるpn接合でのリーク発生が非常に小さい。その結果、DRAMの主要特性である情報保持時間を、従来に比べて一段と向上できた。本実施例では、情報保持時間を従来の0.01～0.05秒に比べて、0.1秒以上長くすることができた。その他、ホトリソグラフィーの合わせずれによる障害が防止され、ドライエッチングのオーバエッチングによる障害も無視できるようになったので、従来に比べてDRAM製造における上記接続部の加工工程が簡便になった。

【0046】

【発明の効果】上記説明から明らかなように、本発明によれば、pn接合によって規定された領域への電気的接続に必要な加工工程に余裕が得られるので製造工程は簡便になり、pn接合リークが少なく信頼性の高い半導体装置を提供できる。

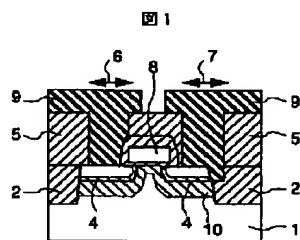
【図面の簡単な説明】

- 【図1】従来のMOSFETの構造を示す断面図、
 【図2】本発明の半導体装置を説明するための平面図、
 【図3】本発明の半導体装置を説明するための断面図、
 【図4】本発明の半導体装置を説明するための断面図、
 【図5】本発明の半導体装置を説明するための断面図、
 【図6】本発明のDRAMを説明するための平面図、
 【図7】本発明のDRAMの構造を示す断面図、
 【図8】本発明の一実施例を示す工程図、
 【図9】本発明の一実施例を示す工程図、
 【図10】本発明の一実施例を示す工程図、
 【図11】本発明の一実施例を示す工程図、
 【図12】本発明の一実施例を示す工程図、
 【図13】本発明の一実施例を示す工程図、
 【図14】本発明の一実施例を示す工程図、
 【図15】本発明の一実施例を示す工程図。

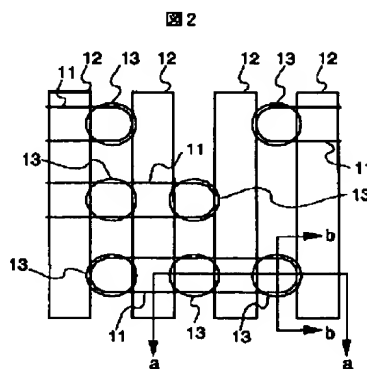
【符号の説明】

1、23…Si基板、2、24…素子分離用絶縁膜、3…MOSFET、4、25…拡散層、5、18、31、36…電極間絶縁膜、6、7…電気的接続孔、8、21、27…ゲート電極、9…電極・配線、10…空乏層、14、16、29、32…金属シリサイド層、15、17、30、35…導電体膜、19、28、34…サイドウォール、26…ゲート酸化膜、33…ビット線電極、37…電荷蓄積電極、38…キャパシタ絶縁膜、39…プレート電極。

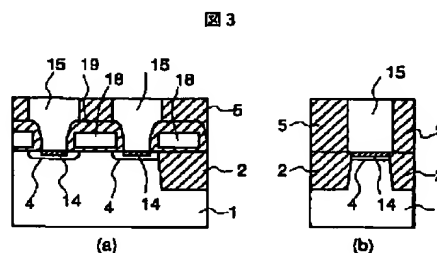
【図1】



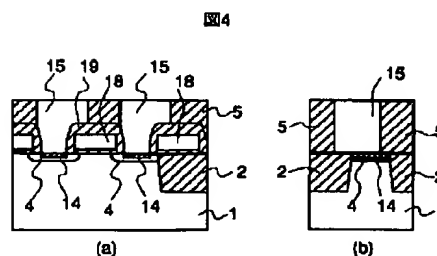
【図2】



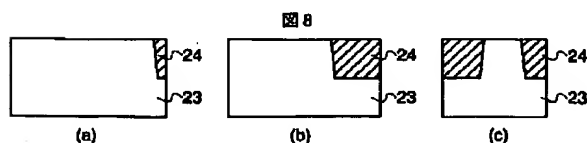
【図3】



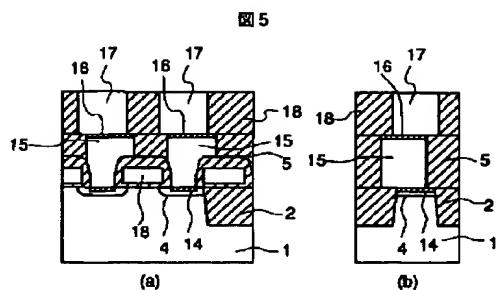
【図4】



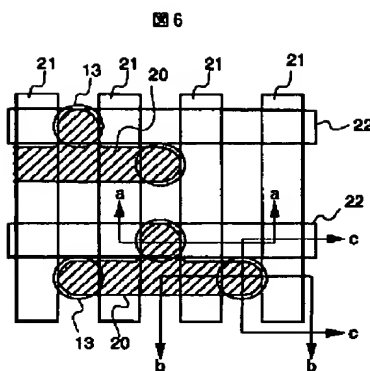
【図8】



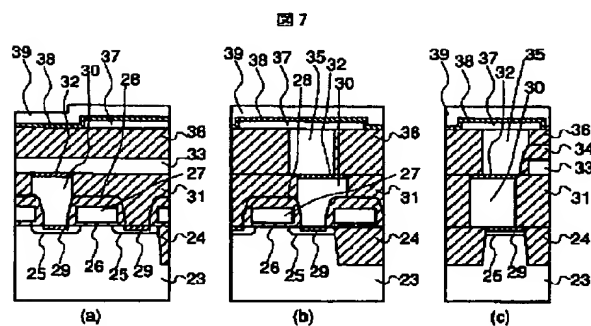
【図5】



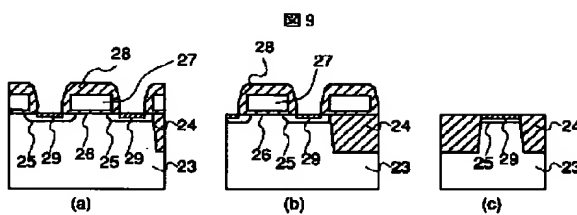
【図6】



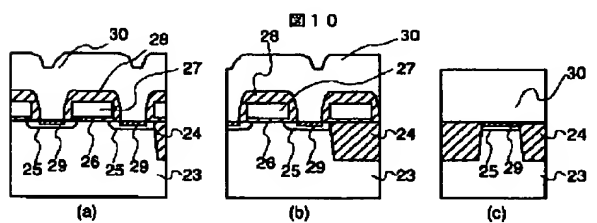
【図7】



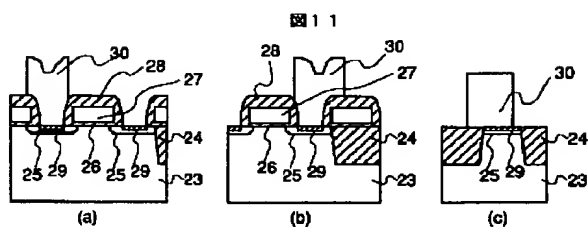
【図9】



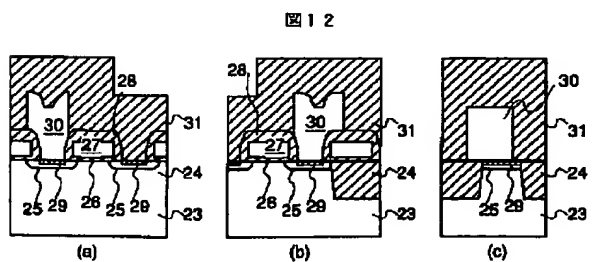
【図10】



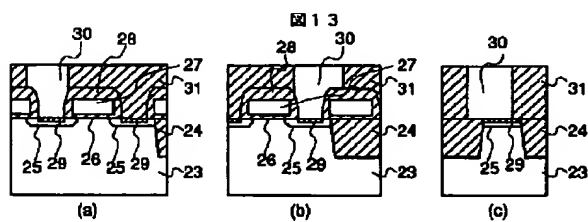
【図11】



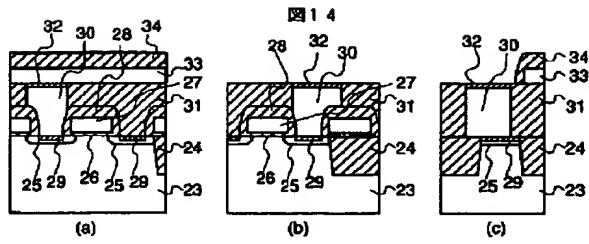
【図12】



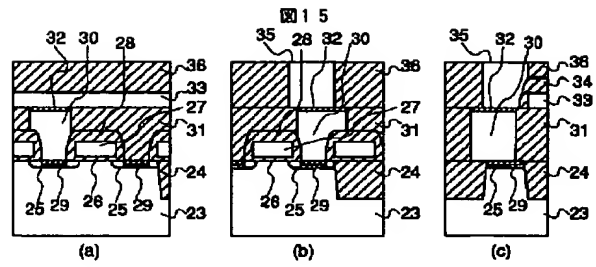
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 深田 晋一

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 福田 琢也

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内